



## 114 年度工研院電子與光電系統研究所

### 智慧晶片系統與半導體構裝等相關研發成果非專屬授權案

- 一、主辦單位：財團法人工業技術研究院（以下簡稱「工研院」）。
- 二、非專屬授權標的：本案授權標的包含研發成果技術 83 件及專利 39 案 73 件，詳如附件。
- 三、非專屬授權廠商資格：國內依中華民國法令組織登記成立且從事研發、設計、製造或銷售之公司法人。
- 四、公開說明會：
  - （一）舉辦時間：民國（下同）114 年 5 月 29 日下午 2 時至 3 時。
  - （二）舉辦地點：以線上會議方式舉辦。
  - （三）報名須知：採電子郵件方式報名。有意報名者，請於 114 年 5 月 28 日中午 12 時整（含）前以電子郵件向本案聯絡人報名（主旨請註明「114 年度工研院電子與光電系統研究所智慧晶片系統與半導體構裝等相關研發成果非專屬授權案：公開說明會報名」，並於內文中陳明：公司名稱、公司電話、參與人數、姓名、職稱）。工研院「技轉法律中心」聯絡人將於 114 年 5 月 28 日下午 5 時整（含）前發送電子郵件回覆並告知公開說明會會議資訊。
- 五、聯絡人：工研院技術移轉與法律中心 陳小姐  
電話：+886-3-591-4346  
傳真：+886-3-582-0466  
電子信箱：[itri536686@itri.org.tw](mailto:itri536686@itri.org.tw)  
地址：31057 新竹縣竹東鎮中興路四段 195 號 51 館 110 室

附件：

一、 技術授權標的 (83 件)

| 件次 | 產出年度 | 技術名稱            | 技術特色   | 可應用範圍  | 計畫名稱                      |
|----|------|-----------------|--|--|---------------------------|
| 1  | 113  | 記憶體內運算技術        | 本團隊除了可授權科專所開發之 SRAM CIM macro 之外、亦提供客制 SRAM CIM macro 之設計。   | 晶片設計。  | 低延遲 AIchiplet 整合發展計畫      |
| 2  | 113  | 奈米製程試量產         | 提供兼容 8 吋矽基、玻璃晶圓與新材料測試量產服務。   | 1.協助業界快速發展 AIoT 所需之新技術與新元 MRAM/FeRAM/ RRAM 等新興記憶體自製<br>2.協助國內半導體設備、材料廠設備、材料(光阻)開發驗證,提昇自主能力,優化產業結構。 | 工研院環境建構總計畫                |
| 3  | 113  | 智能控制陣列開關系統      | 根據不同的使用情境,透過可用程式控制連接晶片的切換來達到不同的腳位連接,並針對高速訊號設計高速傳輸通道電路。   | CMOS 可程式最佳化 Mix mode 連接晶片系統設計及驗證,根據不同的使用情境透過可程式控制的開關陣列來達到不同的繞線連接。                                  | 可程式 3D 異質集成技術計畫           |
| 4  | 113  | 超導量子用低溫微波控制模組   | 低溫微波控制模組包括被動電路及主動電路。被動電路有低通濾波器與功率分配器;此兩個電路採用印刷電路板進行設計與製做,並採用轉接頭的方式,做為訊號輸出與輸入的界面。主動電路採用半導體製程,以矽製程進行混波器設計。 | 無線通訊產品之低溫測試。工業、車用、航太規格、以及量子電腦應用之電子元件的低溫測試驗證。   | 量子科技關鍵元件及電路模組開發           |
| 5  | 113  | 磁性記憶體技術         | (1) 高速讀取、低能耗 MRAM 技術,具解決 MCU 所需之嵌入式 SRAM 技術,廣泛應用在嵌入式系統。<br>(2) 成功設計新式磁性多層膜,預計用於新近 MRAM 開發。               | 非揮發性快取記憶體、嵌入式 SRAM 記憶體應用、硬體加密應用。   | 高效低耗資料傳輸運算模組關鍵技術開發與系統應用計畫 |
| 6  | 113  | 氧化物電晶體技術        | 低溫氧化銻電晶體之元件設計、製程整合及驗證技術。本技術可提供授權廠商技術報告、諮詢及部分製程服務。  | 非揮發性快取記憶體、嵌入式記憶體應用、硬體加密應用。   | 高效低耗資料傳輸運算模組關鍵技術開發與系統應用計畫 |
| 7  | 113  | 三維單晶集成開關元件與製程技術 | 低溫氧化銻與新型氧化物之電晶體元件設計、製程整合及驗證技術。本技術可提供授權廠商技術報告、諮詢及部分製程服務。  | 嵌入式記憶體應用、SRAM、快取記憶體、硬體加密應用。  | 先進晶片產業前瞻技術發展計畫            |



| 件次 | 產出年度 | 技術名稱                   | 技術特色  | 可應用範圍   | 計畫名稱                  |
|----|------|------------------------|---|---|-----------------------|
| 8  | 113  | 三維單晶集成開關模型與驅動電路技術      | 本設計報告涵蓋 OSFET 技術的模型建立、驗證及電路設計與佈局。模型開發基於 InO (Blank film & 2-mask device) 之量測數據，採用 BSIM-CMG 模型建構 OSFET 模型，並達成 < 3.7% RMS error。在模型驗證方面，透過 NMOS-only (Diode-connected & Pseudo-depletion) inverter 進行 DC 及 AC 驗證。此外，透過 CMOS 架構模擬，結合基礎 OSFET，設計 Inverter/NAND/NOR/SRAM/Ring Oscillator 測試鍵佈局，以進一步評估該技術的電路層次應用。 | 高效能運算 ( High-Performance Computing, HPC)、低功耗記憶體與嵌入式儲存、數位電路設計。 | 先進晶片產業前瞻技術發展計畫        |
| 9  | 113  | 超高頻電晶體製程技術             | GaN HEMT 之元件設計、製程整合及驗證技術。本技術可提供授權廠商技術報告、諮詢及部分製程服務。  | B5G/6G 通訊系統、毫米波通訊、雷達...等。                                     | B5G/6G 高頻高功率電子元件與模組計畫 |
| 10 | 113  | 超高頻晶片與天線整合封裝測試技術       | 本技術提供準確且快速的微型天線，AiP 天線之 S 參數及場型量測方法。主要分為軟體的操作及量測環境的建立。並提供超高頻天線量測系統的轉台指令，透過 Socket 通訊介面控制轉台，讓使用者可彈性的使用毫米波天線量測系統。   | 毫米波相關之基板，天線，元件，電路特性測試驗證。                                      | B5G/6G 高頻高功率電子元件與模組計畫 |
| 11 | 113  | 高頻天線封裝模組技術             | 利用先進異質整合封裝將高頻功率元件及天線整合，最佳化 AiP 封裝結構設計，縮短訊號通訊路徑、實現高頻寬及晶片密度，以因應 5G、物聯網、衛星通訊等應用。   | 毫米波通訊，5G，物聯網，衛星通訊。  | B5G/6G 高頻高功率電子元件與模組計畫 |
| 12 | 113  | 高電壓 3.3kV 碳化矽模組設計與封測技術 | 模組導入一體化基板設計並採用銀燒結與銅金屬超音波銲接技術，完成 3.3kV/600A 高電壓碳化矽模組開發，模組通過溫度循環，功率循環等可靠度測試。  | 電力電子產業(再生能源電力轉換)。   | 大功率電力轉換系統 (PCS) 研發計畫  |
| 13 | 113  | 碳化矽功率元件設計              | 碳化矽功率元件技術的開發，聚焦高密度元件晶片設計與通道最佳化。透過 TCAD 模擬，分析功率元件磊晶層、離子注入摻雜及電場分佈等關鍵參數，為元件設計提供精準數據支持，並建立功率元件壽命預測模型，將模擬結果回饋至設計階段，提升元件的可靠度與壽命。  | 1.離散型元件。<br>2.SiC 功率模組。                                       | 化合物半導體元件關鍵技術計畫        |



| 件次 | 產出年度 | 技術名稱                           | 技術特色  | 可應用範圍   | 計畫名稱                 |
|----|------|--------------------------------|---|---|----------------------|
| 14 | 113  | 碳化矽功率模組設計與封測技術                 | 碳化矽功率模組的設計包含熱阻分析與雜散電感分析。封裝測試技術包含固晶(燒結/焊錫)、金屬端子組裝技術、銅片超音波焊接技術與散熱器迴焊等完整模組封裝的流程，模組靜動態特性測試與車規可靠度測試，加速生產開發時程。  | 電動車用充電樁、車載充電器、逆變器系統及其他工業用驅控器內使用的功率模組。   | 化合物半導體元件關鍵技術計畫       |
| 15 | 113  | Die-to-Die 高速低功耗之 chiplet 互聯晶片 | 實現 16Gb/s 單端傳收機，整體能源效率需達到夠好的水準。整體傳收機將符合 UCIe 的規格，用以作為小晶片裸晶與裸晶間的互聯應用。單端傳收機的應用相較差動傳輸具備更高的單 pin 資料傳輸率，但卻容易受到共模雜訊或干擾而降低傳收機之效能。                                    | IC 設計、2D/2.5D/3D 封裝異質整合、封裝內埋測試。   | 工研院創新前瞻研究計畫          |
| 16 | 113  | 高速互連介面傳輸技術矽智財                  | 此高速互連介面核心電路可以應用於高速互連介面或是小晶片互連傳收機。規劃的核心電路架構由高效能、高頻寬、低延遲的高速互連傳送機和接收機所組成，其中包括資料路徑電路和時脈路徑電路，並透過電路設計確保每個通道之間數據完整性。   | IC 設計、2D/2.5D/3D 封裝異質整合、封裝內埋測試。   | 先進晶片產業前瞻技術發展計畫       |
| 17 | 113  | Wide-IO DRAM 陣列管理介面設計及驗證       | 本 DRAM 控制電路用於管理這些 DRAM 模塊，架構上包含三個部份：集中式的叢集管理器、分散式的 DRAM 模塊控制器、以及 DRAM 參數配置器。其中叢集管理器處理 AXI 指令，並且管理讀、寫緩衝區及控制讀、寫流程。DRAM 模塊控制器直接控制 DRAM 模塊，負責處理包含模塊初始化、讀、寫、刷新等流程。 | IC 設計、3D 晶片、記憶體邏輯異質整合。  | 低延遲 AIchiplet 整合發展計畫 |
| 18 | 113  | 小晶片整合之通道聚合高速類比技術               | 時序/數據格式技術 (Timing/Data Formatter) 為自動化測試設備的關鍵技術，使用者可透過簡易控制，產生出各類型態的待測訊號供 IC 驗證之用，主要包含資料速率、邊緣時序、訊號格式、時序延遲控制、時序驅動與比對等。此外透過小晶片式整合技術，將可大幅提升單晶片之通道數與操作頻寬。          | Automatic test equipment (ATE)、High speed digital instrumentation、Pulse generation。 | 工研院環境建構總計畫           |



| 件次 | 產出年度 | 技術名稱                | 技術特色  | 可應用範圍                              | 計畫名稱                   |
|----|------|---------------------|---|------------------------------------|------------------------|
| 19 | 113  | 波束追蹤控制晶片技術          | 波束追蹤控制技術的混合電路設計，實現數位基頻的預編碼 (Precoding)，以便在數位層面上進行波束補償，並利用數位技術來補償各種非理想效應。補償技術包括降取樣、升取樣 (Interpolation)、真實時間延遲 (TTD)、數位預失真 (DPD) 以及等化器 (Equalizer) 的應用。                                     | 適用於低軌衛星地面接收設備的波束控制晶片，介接射頻晶片與基頻處理器。 | 低軌衛星地面通訊設備射頻前端核心技術開發計畫 |
| 20 | 113  | CNN 軟硬體整合驗證工具與技術    | 卷積神經網路 (CNN) 的軟硬體整合驗證，提供高效能測試和調試功能，確保系統的準確性和穩定性。開發的 DLA 硬體平台，並具有直觀的用戶界面，方便開發者進行模型訓練、推理和性能優化。  | AI 演算法之推論程式移植、AI 演算法之推論精度驗證。       | 低延遲 AIchiplet 整合發展計畫   |
| 21 | 113  | 可拓展式運算系統工具設計        | 此工具的功能包括平行程式設計、分散式運算以及性能監控和模擬。平行化設計的目的是支援不同核心的平行運算，以最大化多核心處理器的效能。分散式運算的實現涉及設計編譯器，以支援分散式操作，包括記憶體分配、多核心模組分配以及同質/異質核心模組分配。性能監控和模擬負責監控和調試多核心應用程式的性能，建立有效的資源管理機制，以確保不同應用程式之間的公平共享和資源分配。        | AI 推論程式優化、AI 推論任務流程控管。             | 先進晶片產業前瞻技術發展計畫         |
| 22 | 113  | VPA 架構以 FPGA 模擬驗證技術 | 加速器晶片的深度學習加速器系統，具備多個卷積乘法器、卷積專用 SRAM 記憶體、和深度分離卷積功能。系統上則具有 RISC-V 微控制器，DRAM 控制器、支援多 DRAM 記憶體顆粒、支援多個 DLA 晶片系統共用單一 USB 介面轉接器等設計。因此兩個加速器晶片會在兩張電路板上，透過連接器並聯，並且共用 Cypress 公司 FX3 USB 轉接介面的 GPIO。 | AI 推論程式優化、AI 推論任務流程控管。             | 無人機飛行系統國產自主關鍵技術開發計畫    |
| 23 | 113  | 3D 集成封裝模組轉移接合技術開發   | 發展扇出封裝模組轉移接合技術 (Fan-out Module Transfer Bonding)，以解決先進封裝技術中的多晶片堆疊與翹曲控制挑戰。傳統高密度整合因熱應力與機械變形易導致翹曲，影響模組良率與效能。   | 先進封裝。                              | 可程式 3D 異質集成技術計畫        |



| 件次 | 產出年度 | 技術名稱                | 技術特色   | 可應用範圍       | 計畫名稱                      |
|----|------|---------------------|--|-------------|---------------------------|
| 24 | 113  | 扇外型多晶片封裝結構設計及整合技術開發 | 本研究聚焦於多晶片扇外型系統級封裝 (Fan-out System-in-Package, SiP) 技術中翹曲現象的控制與優化, 並探討環氧樹脂模塑材料 (Epoxy Molding Compounds, EMCs) 及 Die/Reticle 面積比例對封裝性能的影響。通過實驗設計, 篩選出最適合的 EMC 材料及面積比例, 並成功應用於實際封裝製程中。               | 先進封裝。       | AI 晶片異質整合模組前瞻製造平台計畫       |
| 25 | 113  | 光電引擎載板整合封裝技術開發      | 本研究聚焦於光電引擎 (OE) 載板整合封裝技術的開發, 以應對高速高頻訊號傳輸需求。針對光電引擎封裝中光電元件 (PIC) 與電子元件 (EIC) 之間的訊號傳遞挑戰, 提出階梯式阻抗匹配結構的電路設計, 並建構受測樣品進行驗證。   | 先進封裝。       | 高效低耗資料傳輸運算模組關鍵技術開發與系統應用計畫 |
| 26 | 113  | 異質整合光罩共乘設計技術        | 本技術提供異質整合光罩共乘設計之設計規範, 包含: (1) Fanout Package RDL 架構圖、(2) Fanout RDL 設計規範、(3) Fanout RDL 各線路佈局層之命名原則、(4) Fanout RDL 電性設計規範、(5) Fanout package 組裝設計規範及對位設計規則。  | 異質晶片整合先進封裝。 | AI 晶片異質整合模組前瞻製造平台計畫       |
| 27 | 113  | 異質整合封裝設計技術          | 本研究開發晶圓級異質晶片整合 Fan-out 封裝架構設計模板, 建立訊號損耗預分析技術、半自動化繞線分析設計及 Design-in IP 結構設計提升電性效能 3 大技術, 佈局晶片拼接封裝設計方法專利, 結合廠商需求完成 Single FPGA 晶片扇外型封裝 RDL 佈局設計, 整合電性設計與 Fan-out RDL 製程及組裝能力, 提供少量多樣異質晶片整合封裝概念性設計服務。 | 異質晶片整合先進封裝。 | AI 晶片異質整合模組前瞻製造平台計畫       |
| 28 | 114  | 高功率密度晶片元件之散熱技術      | 在高功率密度晶片元件的散熱技術而言, 熱傳工作流體開始由氣體轉向液體, 由單相流冷卻發展至雙相流冷卻。本文針對高功率密度晶片元件介紹了相對應的散熱技術, 並且挑選新發展方向之學術論文來作為介紹, 以闡明相關重點與技術方向, 希望有助於日後散熱研究方向的策略訂定與規劃。   | 高功率密度晶片元件。  | 低軌衛星地面通訊設備射頻前端核心技術開發計畫    |



| 件次 | 產出年度 | 技術名稱                                   | 技術特色  | 可應用範圍                      | 計畫名稱                    |
|----|------|--|---|----------------------------|-------------------------|
| 29 | 113  | 高速物件識別技術                               | 透過 TensorFlow Lite 的模型轉換與 MediaTek NeuroPilot 工具進行模型轉換佈署，使 AI 模型能高效地運行於 G1200 晶片上。該晶片的 6nm 製程設計及 5TOPs 運算效能，配合 MDLA（機器學習加速器）和 VPU（視覺處理單元）的硬體支持，使得模型推理速度和功耗表現均達到了嵌入式應用場景的需求。整合測試表明，在量化優化後的 YOLOv8n 模型上，G1200 的推論速度與準確性能滿足實時物件辨識的需求，特別是在影像解析度降低的情況下，推論時間顯著縮短。 | 邊緣運算系統。                    | 無人機飛行系統<br>國產自主關鍵技術開發計畫 |
| 30 | 113  | FOWLP 封裝翹曲分析與預測技術                      | 可製性設計流程的目的，在於確保設計階段就知道封裝的可製造能力。透過建立可製性分析模型，用以分析隨製程層數、線寬、線距、材料的改變，封裝中基板翹曲變形量是否在可接受範圍內，以利檢視設計的可製造能力。同時，為協助封裝設計工程師與封裝製造商之間，有正確且良好的技術知識溝通媒介，工研院以固有的封裝設計經驗與製造試量產線能力，協助產業與工程師能快速的完成產品設計。  | 封裝設計前期評估建議系統。              | 智動化協同設計<br>EDA 前瞻技術開發計畫 |
| 31 | 113  | 系統模組與封裝之元件分配技術                         | 一種輸入為電路圖網表和元件資訊表，輸出為系統模組或系統封裝的元件分配建議方案。可快速且有效的完成系統模組與封裝的電路初期設計規劃，協助企業加速完成產品規劃研究與佈局，進一步節省研發成本與加強產品競爭力。   | 系統模組與系統封裝之設計前期評估建議系統。      | 智動化協同設計<br>EDA 前瞻技術開發計畫 |
| 32 | 113  | 基於 FPGA Multi-Core 架構的 Scalable 影像校正技術 | 以 FPGA 為核心關鍵元件，針對影像校正應用需求，提出異質整合封裝元件專利結構及模組開發，布局未來 FPGA Multi-Core 架構的 Scalable 同質及異質整合封裝技術及對應的多影像校正應用需求。Scalable 影像校正技術基於 FPGA 電路設計，可在 PCIe Bridge 架構上同時掛載多個 Vision Core，實現多路影像同   | IPC 影像運算校正模組（Ultra 影像校正卡）。 | 智動化協同設計<br>EDA 前瞻技術開發計畫 |

| 件次 | 產出年度 | 技術名稱              | 技術特色   | 可應用範圍                            | 計畫名稱                 |
|----|------|-------------------|--|----------------------------------|----------------------|
|    |      |                   | 步處理，並可根據實際需求動態調整影像處理核心數目及FPGA系統架構設計。   |                                  |                      |
| 33 | 113  | 高頻低碳複合式構裝基板設計技術   | 探討高密度基板幾何結構與介質材料對傳輸損失的影響，並分析其在減層減碳策略中的應用潛力。針對2.3D封裝技術，研究歸納了Fine-line layers設計與bump pitch微縮趨勢，並探討晶片尺寸、I/O數量與基板技術的交互影響。透過模擬與實驗，量化了幾何與材料參數(如介電常數、介質厚度)對導體損失與介質損失的影響，證明適當的設計可降低傳輸損失、提升頻寬密度並減少層數。本研究提出優化策略，為實現高效能與低碳目標提供技術參考，助力電子產業可持續發展。   | 高階IC載板線路設計。                      | 綠色電子感知與高密度基板低碳製程技術計畫 |
| 34 | 113  | 高密度線路構裝基板整合封裝開發技術 | 先進封裝載板產業因高速運算需求持續的成長，業界首要關注先進製程材料與技術之創新，因而朝向大面積、細線化和高頻寬密度發展。然而細線化製程技術又需要極高的精度，線寬和間距的縮小會增大短路和訊號干擾的風險。其次，大面積載板在製程中因線路逐層堆疊，容易導致翹曲和變形問題，進而造成良率降低。因此，探討封裝中各材料間的特性是至關重要的，在封裝設計和材料選擇時考慮熱膨脹係數匹配等因素，可以確保封裝的穩定性和可靠性。本研究也針對重新佈線層之介電材料進行模擬翹曲分析，並導入模擬模型中進行翹曲量的預估。同時將高密度線路轉移至構裝基板上，其線路線寬為 $7.4\mu\text{m}$ ( $<8\mu\text{m}$ )，最後樣品在室溫下 $90\text{mm} \times 90\text{mm}$ substrate架構的初步模擬結果其最大翹曲為 $401\mu\text{m}$ ，實際樣品模擬量測值為 $456\mu\text{m}$ ( $<500\mu\text{m}$ )。 | PCB/IC載板業、半導體製程封裝、電子零組件產業、材料開發業。 | 綠色電子感知與高密度基板低碳製程技術計畫 |
| 35 | 113  | 智慧排程於半導體業之應用      | 本智慧排程技術，可以用在改善國內半導體設備業之機台生產效率，在考量各種構裝基板結構下，提供智能化的排程設備系統，改善傳統製程方法的侷限，提升企業競爭力。   | 製造業生產排程。                         | 綠色電子感知與高密度基板低碳製程技術計畫 |



| 件次 | 產出年度 | 技術名稱   | 技術特色   | 可應用範圍 | 計畫名稱                |
|----|------|--------|--|-------|---------------------|
| 36 | 113  | 重佈線層技術 | <p>在本篇文章中，我們製作了包含 5<math>\mu</math>m 線寬的 6 層 Cu Metal layers (6M)，及使用 PI (Asahi BL301) 製作對應的 5 層 Passivation layers (5P)，並在 passivation layers 中間的 4 層金屬層設計金屬繞線 (RDL=4)，在製程方面，我們透過 CTE 補償機制來改善翹曲並應用低應力低翹曲製程整合技術來完成 5P6M RDL 製程，並進一步降低 PI 的厚度及調整 layout 的均勻性來降低翹曲，使未來可製作更多層的 RDL，同時進行 Daisy chain 電性 On/Off 的量測，並得到接近 100% 有導通電性的結果，且電阻均勻性 (<math>\pm 10\%</math>)，另在每一層的金屬層導入 Comb structure 的 test pattern 來監測 leakage current，並達到 pA 的等級，說明現有 RDL 製程有一定的可信度。此外，隨著 RDL 層數的增加，所需的光罩數量也越來越多，舉例來說，6 層金屬線路層 (Metal layer) 及 5 層鈍化層 (Passivation layer) 的 RDL 製程就需要 11 張光罩，因此，我們透過創新服務平台，提供 shuttle service，透過共乘的服務來大幅降低開發新產品的費用及時間。</p> | 先進封裝。 | AI 晶片異質整合模組前瞻製造平台計畫 |
| 37 | 113  | 重佈線層技術 | <p>在本篇文章中，為解決奈米雙晶銅在小尺寸不易形成高度 <math>\langle 111 \rangle</math> 優選方向的問題，我們試著調整製程參數並以 PVD 的方式來形成奈米細晶銅，並將其應用在 2<math>\mu</math>m、3<math>\mu</math>m、5<math>\mu</math>m 的 Pad，來達到小尺寸低溫接合的效果。另外，為達到 3 層 wafer 堆疊的效果，我們薄化 TSV wafer，進行 TSV reveal，並在含 TSV 的薄 wafer (70<math>\mu</math>m) 及 glass carrier 上進行 RDL 製程，運用在 glass carrier 背面鍍 Ti/Cu 的方式來解決現有 dry etcher chamber 無法吸附 glass carrier 而無法進行製程的問題，成功完成 damascene RDL 製程，達到 3D IC 製程整合的目的。</p>   | 先進封裝。 | AI 晶片異質整合模組前瞻製造平台計畫 |



| 件次 | 產出年度 | 技術名稱                        | 技術特色   | 可應用範圍   | 計畫名稱                |
|----|------|-----------------------------|--|---------|---------------------|
| 38 | 113  | 通用型 Edge AI 物件檢索晶片技術        | 本研究提出了一種企業大腦等級的 AI 應用實施方法，旨在透過聯合特徵感知技術來為微型模型搭載多個提示界面，使模型能夠根據外部提示動態調整其執行內容。該方法有效解決了傳統超級模型運算量高、需上雲、耗費資源等問題，並允許 AI 模型之間的雙向溝通，從而提升系統的能效比和可控性。具體而言，我們採用了編解碼器架構和自監督學習技術，透過聯合特徵感知介面實現多模態輸入和提示的交互，顯著提升了模型的預測準確性和功能擴展能力。此外，該技術允許自由定義、擴充和串接智能助理的功能範疇，從而降低企業應用 AI 的維運成本，並避免因 AI 產生幻覺導致的損失。實驗結果表明，該方法在多個應用場景中均展現出優異的性能，為企業 AI 應用提供了一種高效且可控的解決方案。 | 邊緣運算系統。 | AI 晶片異質整合模組前瞻製造平台計畫 |
| 39 | 113  | AI 智能化工廠設備診斷與預防管理系統開發（期中報告） | 鑑於監測目標馬達機械系統本身的退化特性，本計畫選用預防性維護中最主流的指數退化型模型（Exponential Degradation model）來進行剩餘使用壽命（RUL）預測。其特點在於，運行時無需依賴從健康運轉到損壞（run-to-failure, rtf）的完整歷程資料，只需參考過去的運轉紀錄，推算系統未來可能的變化，再依據實際經驗判斷是否需要進行立即維修。這樣的方法使得即便是在數據樣本難以獲取的機械應用中，以低實驗成本的方式開發出一套具有一定可信度的預兆診斷方法。  | 智慧工廠。   | AI 晶片異質整合模組前瞻製造平台計畫 |
| 40 | 113  | AI 智能化工廠設備診斷與預防管理系統開發（期末報告） | 本計劃的目標是開發一套馬達健康與能效管理系統，此系統具有「馬達機械診斷分析技術」、「馬達電氣診斷與效率分析技術」、「RUL 剩餘壽命技術」、「Zero NG AI 馬達監控技術」、「馬達健康與能效管理雲服務技術」與「資訊安全技術」等各項馬達健康管理技術，可即時檢查馬達的異常原因，並安排適當時間，進行馬達   | 智慧工廠。   | AI 晶片異質整合模組前瞻製造平台計畫 |



| 件次 | 產出年度 | 技術名稱                       | 技術特色  | 可應用範圍 | 計畫名稱                     |
|----|------|----------------------------|---|-------|--------------------------|
|    |      |                            | 維修或更換，以維持馬達健康並提升稼動率。另外本系統將導入符合 ISO-50001 的能源基線與能效指標功能，對馬達進行能效管理，期望能檢驗出馬達低效運轉。   |       |                          |
| 41 | 113  | 封裝載板製程翹曲抑制設計分析             | 本技術利用有限元素分析 (FEA) 方法模擬載板在熱製程負載下的變形。FEA 通過將載板劃分為微小元素，求解熱傳導和結構力學方程，預測系統行為。模擬不同熱載荷下的變形，評估封裝尺寸和材料對熱變形的影響，為設計和材料選擇提供改進建議。此外，該方法可預測熱應力引起的元件失效或翹曲問題。最後，將運用田口法確定最低翹曲的封裝結構設計，以確保製程的穩定性和可靠性。  | 先進封裝。 | 伺服器高速傳輸運算之節能元件關鍵技術先期研究計畫 |
| 42 | 113  | 垂直式光纖耦合組裝製程開發              | 光纖與晶片間的連接是矽光子中重要的一環，常見的耦合方式分為邊緣耦合及光柵耦合，其中光柵耦合因其對準精度要求較低，且耦合位置較具靈活性，故在封裝中佔有極大優勢。本篇展示了垂直式光柵耦合器的設計，由均勻式光柵耦合器進行各個參數的優化，再進一步優化添加多晶矽 (Poly silicon) 覆蓋層的光柵耦合器以提高指向性，並導入非均勻光柵耦合器以改善與光纖的光斑不匹配情形。展示了水平式擺放光纖的耦合模擬。並展示光柵耦合器的量測系統所需儀器，以及展示光柵耦合器與光纖陣列單元 (FAU) 的封裝技術。 | 先進封裝。 | 先進晶片產業前瞻技術發展計畫           |
| 43 | 113  | Fan-out 封裝再分佈層技術載具試產服務整合開發 | 隨着 5G、AI 市場的增長，以及高速傳輸低阻抗，帶動 IC 載板強烈需求，特別是 ABF 載板的需求大爆發，而因相關供應商產能有限，致使 ABF 載板供不應求，而且 High IO Density/ Fine IO Pitch 的少量多樣產品無法取得服務，為因應此景況，本團隊以 Fanout RDL Carrier 的封裝設計補足此產量缺口，針對未來功能強大且高接腳數的晶片或處理器，Fan-Out RDL Carrier 能有效提高 I/O 腳位數，以                   | 先進封裝。 | AI 晶片異質整合模組前瞻製造平台計畫      |



| 件次 | 產出年度 | 技術名稱                  | 技術特色   | 可應用範圍 | 計畫名稱            |
|----|------|-----------------------|--|-------|-----------------|
|    |      |                       | 提高晶片效能，可讓產品達到更輕薄的外型。然而，再分佈層技術其中所需要的材料選擇與製程技術克服須投入大量資源，故本團隊提出發展 3P (passivation) 3M (metal) 堆疊技術的構想，並以創新的非熱處理應力控制，取代晶圓加熱在真空下低速降溫方式，來降低晶圓翹曲程度；另開發只須低溫烘烤製程的創新高分子材料，來降低晶圓的應力，以滿足超高密度 Fan-out 封裝的未來需求。  |       |                 |
| 44 | 113  | 混合鍵合-苯並環丁烯鑲嵌銅與研磨失效性分析 | 銅/氧化物的混合鍵合技術，因其可有效達到細間距的金屬接點能力，逐漸取代傳統的微凸塊技術，主要應用於 BSI CMOS 圖像感測器、HBM 等封裝製程。然而銅/氧化物的混合鍵合技術良率，非常倚重晶圓自身的潔淨度，晶圓表面稍有髒汙即會造成銅/氧化物的混合鍵合失效，因此我們轉而開發銅/聚合物混和鍵合技術，因為聚合物本身對於髒汙的包容性高，可用來取代氧化物，並提高銅/聚合物混合鍵合技術良率。此款 BCB 材料經歷鑲嵌銅電鍍失效性分析與化學機械研磨失效性分析，透過延長濺鍍金屬鈦/銅的 degassing 時間，成功解決電鍍濺鍍問題；化學機械研磨失效性分析實驗中，證實為 BCB 材料的 cohesive failure。 | 先進封裝。 | 可程式 3D 異質集成技術計畫 |
| 45 | 113  | 具高速傳輸之擴展性預製造系統級封裝     | 預製型導通孔陣列基板搭配客製化重佈線線路，可應用於少量多樣封裝模組的可製造性評估。預製型導通孔陣列基板由三層金屬銅重佈線層和 200 μm 高的銅柱組成。主動式開關裸晶內嵌於銅柱中，此裸晶可以對異質整合晶片之間的信號傳輸進行可程式調適。我們展示了一種高性能封裝，該封裝只需使用簡易的 2P1M 客製化重佈線線路，即可將多個晶片(藍牙、快閃記憶體和微控制器單元)互連至單一系統中，從而降低佈局設計的複雜性並提高佈線彈性。此封裝模組為高效率封裝，在現有的預製型導通   | 先進封裝。 | 可程式 3D 異質集成技術計畫 |



| 件次 | 產出年度 | 技術名稱                  | 技術特色  | 可應用範圍                          | 計畫名稱            |
|----|------|-----------------------|---|--------------------------------|-----------------|
|    |      |                       | 孔陣列基板上，於短時間內即可驗證客製化重佈線線路製程的可製造性。所提出的預製型導通孔陣列基板和用於晶圓級扇外型封裝的客製化重佈線線路，有望成為高性能系統級封裝架構的解決方案。透過預製型導通孔陣列基板的先進技術，可確保製造良率，縮短上市時間並降低生產成本。                     |                                |                 |
| 46 | 113  | 先進製程關鍵技術探索：矽穿孔露出流程之解析 | 本技術資料聚焦於矽穿孔露出 (TSV Reveal) 流程的製程步驟及開發成果，深入解析了各關鍵製程環節，包括暫時性接合、晶圓薄化、乾式蝕刻與化學機械平坦化 (CMP) 等。成功實現了高精度的 TSV 露出，並對製程中的挑戰與解決方案進行討論。                          | 先進封裝。                          | 可程式 3D 異質集成技術計畫 |
| 47 | 113  | 先進製程關鍵技術探索：矽穿孔露出製程參數  | 隨著半導體技術的快速發展，矽穿孔 (TSV) 技術已成為推動 3D IC 與高密度封裝的核心技術之一。本文件聚焦於矽穿孔露出製程，詳細介紹其關鍵設備與參數設置，通過合理參數設計實施暫時性接合、晶圓薄化、乾式蝕刻以及 CMP 等製程步驟，確保晶圓的結構完整性和 TSV 露出。           | 先進封裝。                          | 可程式 3D 異質集成技術計畫 |
| 48 | 113  | 三維積體電路矽導通孔露出製程之設計製造   | 本研究透過先進設備與精準參數設計，成功實現矽穿孔 (TSV) 露出製程的整合。研究涵蓋暫時性接合、乾式蝕刻、晶圓研磨及化學機械研磨 (CMP) 等關鍵製程，並針對翹曲度控制、材料選擇 (如接合膠材與玻璃載板) 及參數設計 (如研磨厚度、乾式蝕刻與 TSV 露出量) 進行優化，確保製程的穩定性。 | 先進封裝。                          | 可程式 3D 異質集成技術計畫 |
| 49 | 113  | FPGA-Based 高速數位訊號檢測技術 | 具備 100Mbps 最大向量收發速度，可透過驅動程式與應用軟體進行測試向量編輯、時序選擇、Pin Electronic 設定、掃描測試與訊號偵錯，時序方面提供 39ps resolution。   | 資料取樣、數位化儀、示波器、電源量測、電表、波形產生器應用。 | 工研院環境建構總計畫      |
| 50 | 113  | 超高速光前端解調晶片技術          | 可利用電路架構設計與佈局規劃，達到通訊晶片的高頻傳輸需求，藉由電路設  | 轉阻放大器 (TIA) 電路設計。              | 高效低耗資料傳輸運算模組關鍵  |



| 件次 | 產出年度 | 技術名稱           | 技術特色  | 可應用範圍                          | 計畫名稱                        |
|----|------|----------------|---|--------------------------------|-----------------------------|
|    |      |                | 計與架構規劃，達到通訊晶片的高頻傳輸需求。   |                                | 技術開發與系統應用計畫                 |
| 51 | 113  | 設計輔助環境與驗證技術    | 針對化合物半導體逆變器的設計，開發並驗證了一套虛實整合驗證分析平台，並透過逆變器加速整合系統，可優化能源系統的整合效率。  | 虛實整合驗證分析平台、逆變器加速整合系統、安全功能管理平台。 | 化合物半導體元件關鍵技術計畫              |
| 52 | 113  | 碳化矽馬達驅動系統      | 導入自主耐高壓大電流碳化矽功率元件暨模組，發展 800V 車用關鍵動力系統為應用驗證載具。   | 馬達驅動系統。                        | 化合物半導體元件關鍵技術計畫              |
| 53 | 113  | 碳化矽驅動模組        | 導入自主耐高壓大電流碳化矽功率元件暨模組，發展 800V 車用關鍵動力系統為應用驗證載具。   | 馬達驅動系統。<br>併網逆變系統。             | 化合物半導體元件關鍵技術計畫              |
| 54 | 113  | 敏捷式硬體設計流程      | 借鏡美國 UC Berkeley 的 Chipyard 專案的單晶片系統電路產生器框架，建構國內自主且開源的敏捷式電路前段設計技術。第一年目標為客製化模組可行性；目前成果包含：探究框架內的基於 RISC-V 核心的單晶片系統電路產生器技術、探究單晶片系統內的客製化模組掛載方法、評估新型 HDL Chisel 自動生成 RTL 設計的功能正確性、自動生成 RTL 設計與商用 EDA 軟體的可合成性評估。第一年成果已確認多項常用的數位電路 IP/SoC 設計其自動生成的 RTL 設計均能通過功能模擬 (functional test simulation) 與合成後的電路結構形式驗證 (formal check)。 | 電路 RTL 設計快速生成。                 | 智動化協同設計<br>EDA 前瞻技術<br>開發計畫 |
| 55 | 113  | AI 驅動晶片 EDA 技術 | 本技術含有四個主要核心功能：(1) 晶片輸入資料管理架構、(2) 晶片組態設定產生器、(3) 量化指標及資料庫、(4) 超參數掃描及調適功能，加以整合並實現了一個全自動化可二十四小時無人職守的晶片設計空間探索工具。   | 晶片設計開發及評估。                     | 智動化協同設計<br>EDA 前瞻技術<br>開發計畫 |
| 56 | 113  | 智能化設計平台建構      | 基於開源的容器原生工作流程引擎，部署於在地端 Kubernetes 多叢集上，管理晶片設計流程之樣板和執行容器化 EDA 工具，功能包括提供遠端桌面環境、快速   | 地端雲原生環境與晶片設計流程。                | 智動化協同設計<br>EDA 前瞻技術<br>開發計畫 |



| 件次 | 產出年度 | 技術名稱          | 技術特色  | 可應用範圍                                  | 計畫名稱                        |
|----|------|---------------|---|--|-----------------------------|
|    |      |               | 創建相關資源與運行環境、EDA 工具整合與執行與晶片設計流程執行自動化。  |  |                             |
| 57 | 113  | 晶片監控測試診斷技術    | 工研院針對 2.5D/3D 整合晶片中晶片間之導線開發相關的測試技術，針對數量龐大所造成可測性設計電路成本、瑕疵定位 (fault location)、crosstalk fault 測試等問題，開發有效之 EDA 測試技術，提高整體小晶片系統連線間之錯誤涵蓋率。  | 2.5D/3D IC 測試。                         | 智動化協同設計<br>EDA 前瞻技術<br>開發計畫 |
| 58 | 113  | 輕量化運算架構設計     | <p>該技術包含兩個部分：(1) 雙階段 AI 加速器編譯流程；(2) SMP 多核心處理器的 NoC 模擬器。</p> <p>(1) 定義雙階段 AI 加速器編譯流程，包含模型架構格式轉換並匯入、計算圖層的任务排程優化、欲加速的子圖層切割、子圖層內函數庫定義、函數的運算指令與硬體計算核心的映射等步驟。離型流程中採用的計算圖層的優化方法參考 TVM 開源專案，而加速函數的 DFG 抽取與運算指令映射演算法則參考 Morpher 開源專案。</p> <p>(2) 使用現有開源模擬器 Gem5 與 Noxim 兩大模擬器，建立適用於 SMP 架構多核心處理器的客製化 NoC 模擬器。並以預訓練的 Resnet 模型測試模擬器的正確性，比較硬體與軟體的平行運算處理效率；模擬結果可作為類似架構下平行運算系統的架構探索與預期效率評估。</p> | 適用於 CGRA 陣列的運算分流指令與陣列處理器核心之指令層級映射演算技術。 | 輕量化運算半導體<br>節能晶片設計<br>技術計畫  |
| 59 | 113  | 可重構並行運算節能晶片設計 | 發展基於多核心運算陣列為基礎架構，並透過擴充指令方式於各核心外掛 AI 硬體加速器，達到可重構並行運算與硬體加速之功能，此可重構技術將協助運算陣列達到高使用效率、低延遲資料傳遞等優勢，進而縮短任務所需的運算時間與整體運算功耗。   | DNN 影像分類、物件偵測。                         | 輕量化運算半導體<br>節能晶片設計<br>技術計畫  |
| 60 | 113  | 系統平台軟硬體整合設計   | 基於 TVM 編譯工具與 muRISC-V-NN 函式庫的整合，成功建立適用於可重構硬體架構的深度學習模型編譯器，支援生  | DNN 影像分類、物件偵測。                         | 輕量化運算半導體<br>節能晶片設計<br>技術計畫  |



| 件次 | 產出年度 | 技術名稱              | 技術特色  | 可應用範圍                                  | 計畫名稱                  |
|----|------|-------------------|---|--|-----------------------|
|    |      |                   | 成 RISC-V 純量與向量運算指令。並實現 Task Partition 函式庫雛形，可用於多核心硬體架構以加速資料流的並行運算處理。最終完成軟體（編譯器）與硬體（可重構計算陣列）的整合模擬驗證，成功通過 BasicNN 單元測試以及 MLPerf Tiny 模型運行，展現整體系統的功能性。   |  |                       |
| 61 | 113  | 系統層級設計應用          | 基於事件相機的低延遲與高動態範圍特性，開發（1） Event to Image 影像還原 AI 模型；（2） Event-based 高速動態物件光流偵測 AI 模型；（3） Event-based 物件行進軌跡追蹤技術。以及發展 AI 模型輕量化技術，其包含模型剪枝/模型量化等，滿足終端硬體運行 DNN 之需求。  | 物聯網設備（如智慧家居、智慧城市感測器）、邊緣運算（如機器人、無人機系統）。 | 低延遲 AI chiplet 整合發展計畫 |
| 62 | 113  | 以大型語言模型協助探索晶片設計驗證 | LLM4DV 是一個應用大型語言模型（LLM）於硬體設計驗證（Design Verification, DV）的框架，專注於自動生成測試刺激（test stimuli）。該方法利用 LLM 來產生輸入訊號，並透過即時回饋優化測試，以提升覆蓋率。研究中，LLM4DV 被用於三種設計單元（DUT），並與傳統隨機約束測試（CRT）比較，結果顯示在簡單設計上 LLM4DV 能有效提高測試覆蓋率，但在複雜 CPU 設計上仍有挑戰。目前，LLM4DV 展示了 LLM 在硬體驗證領域的潛力，但仍需進一步改進以提升適用性和效率。 | IC 設計功能驗證。                             | 工研院創新前瞻研究計畫           |
| 63 | 113  | 針對異質整合晶片之指標優化技術   | 本研究針對異質整合技術中之系統小晶片選擇與擺放問題，提出了一套綜合性的優化方法，旨在同時達成成本最低化與性能最佳化的目標。我們利用混合整數線性規劃來優化小晶片的擺放，並結合割線法-動態規劃混和法來選取小晶片，以克服現有方法在計算資源和時間上的限制。  | 異質整合晶片設計之 EDA 設計自動化。                   | 工研院創新前瞻研究計畫           |
| 64 | 113  | chiplet 運算系統軟體技術  | 本技術針對 Chiplet 晶片進行深度學習編譯排程優化與執行，可支援 Scalar、Vector、Matrix、Spatial 架構晶片之 AI 編譯與運算優化。  | AI 編譯器與執行環境。                           | 低延遲 AI chiplet 整合發展計畫 |



| 件次 | 產出年度 | 技術名稱                  | 技術特色   | 可應用範圍   | 計畫名稱                  |
|----|------|-----------------------|--|---|-----------------------|
| 65 | 113  | chiplet 介面互通軟體        | 本技術針對 Chiplet 晶片架構，開發跨 Chiplet 通訊與運算資源管理機制軟體。  | (1) 多 Chiplet 分散運算。<br>(2) 本技術可應用於多種 AI 推論應用部署。 | 低延遲 AI chiplet 整合發展計畫 |
| 66 | 113  | 大型 AI 模型加速電路設計技術      | 工研院定義通用硬體平台，其中包含高速 I/O、外部動態記憶體，並可整合增強算力的類神經處理器或 AI 非線性功能等加速器，構成完整 AI 系統晶片。   | 大型 AI 模型。                                       | 先進晶片產業前瞻技術發展計畫        |
| 67 | 113  | 大型 AI 模型晶片架構模擬        | 本技術建構了一個虛擬平台，其中包含運算單元、匯流排、直接記憶體存取 (Direct Memory Access, DMA) 單元及記憶體。該平台針對 Transformer 模型中的 Scale Dot-Product Attention 運算，特別是 Softmax 及矩陣乘法運算，進行系統效能分析，以優化計算效能與資源利用率。 | 晶片設計開發。   | 先進晶片產業前瞻技術發展計畫        |
| 68 | 113  | 分散式運算系統軟體             | 本技術針對 LLM 進行深度學習編譯排程優化與執行，可支援多 GPU (ARM/Nvidia/AMD) 硬體架構之張量平行編譯與運算優化。  | AI 編譯器與執行環境。                                    | 先進晶片產業前瞻技術發展計畫        |
| 69 | 113  | 大型語言模型快速微調技術          | Gen AI 興起，大型語言模型 (LLM) 開發需較高硬體及時間成本。本技術從樣本、模型訓練到應用面進行三合一的全面強化，讓模型對於專業知識能力提升 14.2%，訓練速度加快 18.4%，有助於 AI 機器人知識更適配產業情境及需求。   | 知識管理、智慧客服、教育訓練。                                 | 先進晶片產業前瞻技術發展計畫        |
| 70 | 113  | 6G 基頻單元 BBU 多核心晶片軟體技術 | 基於 Xilinx VPK180 平台，將一不含作業系統之 bare-metal 測試程式，載入平台中的記憶體並執行，其流程將包含 start.S 設定、中斷設置、然後進入 main () 函式等相關初始化流程，最終可於電腦 terminal 端輸出測試訊息，在 FPGA 平台上完成測試程式雛型開發實作。              | 6G 基頻軟體開發應用。                                    | 晶片驅動 6G 通訊產業技術開發計畫    |
| 71 | 113  | 6G 基頻多核心晶片設計技術        | 本技術為硬體加速卡設計，應用於 6G 基地台的基頻單元。此晶片為一可擴展性設計，可嵌入特殊應用的客製化指令，並可利用先進封裝方式，視系統的算力需求，將多顆晶片封裝為一個 chiplet。  | 6G 基地台。   | 晶片驅動 6G 通訊產業技術開發計畫    |



| 件次 | 產出年度 | 技術名稱          | 技術特色   | 可應用範圍                                 | 計畫名稱               |
|----|------|---------------|--|---------------------------------------|--------------------|
| 72 | 113  | 輕量化運算軟體平台技術   | 本技術針對 RISC-V 晶片進行深度學習編譯排程優化與執行，可支援 C Code 與 RISC-V Vector Extension 架構晶片之 AI 編譯與運算優化。  | AI 編譯器與執行環境。                          | 輕量化運算半導體節能晶片設計技術計畫 |
| 73 | 113  | 高性價車載影像分析軟體引擎 | [高性價車載影像分析軟體引擎]<br>本技術應用於需要同時具備物件偵測與語意分割雙重任務的 AI 應用，可偵測行人，騎士，2 輪車，4 輪車，車道線與可行駛區域。主要係利用單一 (Backbone, 多重任務分支) 架構來同時具備物件偵測與語意分割功能。其 backbone 架構可依平台算力而有不同選擇，例如 Yolov8、Yolov9、Yolov10、Yolov11 中不同複雜度的 n, s, m, l, x 的模型架構。 | 自動駕駛系統、行車環境感知系統。                      | 車電人工智慧化產業技術研發計畫    |
| 74 | 113  | 跨域少樣本深度學習訓練系統 | [跨域少樣本深度學習訓練系統]<br>本技術應用於本身已成熟之 AI model，目前已可導入 3 種目標場域 (臺灣與印度) 之街道場景，未來若有新應用，包括 (1) 天候不同; (2) camera 視場角 (FOV) 變更; (3) camera 安裝位置變更; (4) 跨地域，而需要重新收集訓練資料集時，可藉由此技術來降低需要標記的樣本數量。                                       | 自動駕駛系統、行車環境感知系統。                      | 車電人工智慧化產業技術研發計畫    |
| 75 | 113  | 邊緣雲硬體加速模組電路技術 | 完成具延展性之智慧型運算單元架構設計，可針對不同應用需求來配置運算單元多寡。智慧型運算單元由微控制器、計算處理器及 DMA (Direct Memory Access) 所組成，搭配單元外的控制處理器、DRAM 及相關高速周邊控制器，形成一完整系統晶片系統架構。  | 邊緣雲伺服器。                               | 下世代邊緣雲創新產業技術發展計畫   |
| 76 | 113  | 高性能運算架構設計技術   | 本技術透過分析模型的稀疏權重 (Weight/Filter) 與稀疏資料壓縮技術，評估並優化稀疏模型的傳輸效能，以提升計算效率與資源利用率。   | 晶片設計開發。                               | 下世代邊緣雲創新產業技術發展計畫   |
| 77 | 113  | 加速模組核心工具鏈技術   | 本技術可應用於 AI 推導整合應用開發，具備以下特性：(1) 使用 RISC-V RVV/RVP 擴充指令集優化的 AI 模型推導常用之函式庫。(2) 針對 TVM Relay IR 運算子單元設計，可以讓 TVM 轉譯   | AMP 架構下之深度學習編譯器與執行環境。<br>AI 推導整合應用開發。 | 下世代邊緣雲創新產業技術發展計畫   |

| 件次 | 產出年度 | 技術名稱                 | 技術特色   | 可應用範圍  | 計畫名稱              |
|----|------|----------------------|--|--|-------------------|
|    |      |                      | 的低階程式碼，在非對稱性多核 RISC-V 平台發揮多核平行運算的加速效果。   |  |                   |
| 78 | 113  | SDR 數位信號處理硬體技術       | 本關鍵項目係以軟體定義無線電 (SDR) 為核心技術，融合多通道 ADC/DAC、大容量 FPGA 與內嵌式處理器，提供系統具備高彈性、高運算量之信號處理能力。其「模組化設計」與「可更新之控制介面」，可因應多樣化應用需求，並透過韌體升級支援 5G 等最新通訊協定及多天線收發器。此方案亦具備基頻 DSP 加速功能，能快速完成原型開發與實地測試，大幅縮短系統整合週期，同時因應低軌道衛星地面站對於大頻寬與低延遲的嚴苛需求，協助用戶在短時間內達成高效能通訊系統之部署與驗證。                | <ul style="list-style-type: none"> <li>●衛星通訊地面站：特別適用於低軌道衛星地面站所需的高頻寬與低延遲傳輸。</li> <li>●行動通訊基地台：包括 4G/5G 基地台原型開發、實地測試和快速部署。</li> <li>●多天線與 MIMO 系統：透過韌體升級支援多天線收發佈局，用於大規模天線系統或陣列天線應用。</li> <li>●軍事與專用頻段通訊：可針對不同頻段與安全需求進行信號處理與即時加解密。</li> <li>●其他寬頻無線通訊：適用於物聯網、高速無線網路、點對點或點對多點的高吞吐量應用。</li> </ul> | 低軌衛星通訊系統技術開發計畫    |
| 79 | 113  | SDR 基頻加速運算平台軟體整合開發技術 | 完成衛星通訊系統運行過程的所有軟硬體相關程式所需資源的框架，能夠讓 L2 SW/ Network Configuration Control (NCC) / Network Management Control (NMC) / NASA Core Flight System Framework 等多個應用程式同時運行，具備足夠對外通訊介面 (硬體及其驅動程式，包括 Ethernet, CAN bus....)，以及能夠彈性擴充對外通訊軟硬體介面 (LEO Comm. Baseband....)。 | 衛星通訊系統相關軟體開發應用   | 低軌衛星通訊系統技術開發計畫    |
| 80 | 113  | AI 運算軟韌體執行環境         | 本技術針對異質架構晶片 (CPU、GPU、NPU) 硬體模組，設計應用軟體介面 (API)，並整合系統軟體與 AI 編譯器，開發運算優化技術，以加速人工智慧模型的推論效能。   | AI 推論整合應用開發<br>深度學習編譯器與執行環境。   | 晶片暨系統整合服務平台先期發展計畫 |
| 81 | 113  | 系統層級架構探索技術           | 本技術針對硬體架構進行架構探索。   | 晶片設計開發。  | 晶片暨系統整合服務平台先期發展計畫 |



| 件次 | 產出年度 | 技術名稱                       | 技術特色   | 可應用範圍  | 計畫名稱                 |
|----|------|----------------------------|--|--|----------------------|
| 82 | 113  | LLM 驅動測試向量生成技術             | 本技術提出基準測試框架 LLM4DV，利用 LLM 的推理與預訓練知識自動生成測試激勵。LLM4DV 展示了 LLM 在硬體設計驗證中的潛力，未來可透過專門訓練或與其他方法結合進一步提升效能。 | 晶片設計開發與驗證。                                     | 工研院創新前瞻研究計畫          |
| 83 | 114  | 半導體先進封裝 IC 載板快速建模與 AI 評估技術 | 本技術為 IC 載板及其對應封裝結構之快速建模、以及 AI 模型快速評估載板翹曲、發熱狀況的工具軟體，結構物理模型亦可由商用 EDA 工具進行計算分析。                     | 本技術產生的有限元素網格模型或是 AI 模型評估可應用於電路板/IC 載板廠，半導體封裝廠。 | 智動化協同設計 EDA 前瞻技術開發計畫 |

## 二、 專利授權標的 (39 案 73 件)

### (一) 智慧製造 (1 案 1 件)

| 案次 | 件次 | 件編號         | 專利名稱              | 國家 | 狀態  | 審查中：申請號    | 官方申請日    | 委辦單位         |
|----|----|-------------|-------------------|----|-----|------------|----------|--------------|
| 1  | 1  | P51120069US | 語音混音轉換系統及語音混音轉換方法 | 美國 | 審查中 | 18/769,406 | 20240711 | 經濟部<br>產業技術司 |

### (二) 功率模組 (7 案 10 件)

| 案次 | 件次 | 件編號           | 專利名稱                | 國家         | 狀態  | 獲證：公告號           | 官方申請日    | 委辦單位         |
|----|----|---------------|---------------------|------------|-----|------------------|----------|--------------|
|    |    |               |                     |            |     | 審查中：申請號          |          |              |
| 2  | 2  | P51080072CND1 | 多晶片封裝件及其製造方法        | 中國大陸       | 審查中 | 202410935984.6   | 20240712 | 經濟部<br>產業技術司 |
| 3  | 3  | P51120049EP   | 功率模組外殼              | EPC/<br>歐盟 | 獲證  | EP015082574-0001 | 20241120 | 經濟部<br>產業技術司 |
| 4  | 4  | P51120071EP   | 具有可拆卸功能的功率模組        | EPC/<br>歐盟 | 審查中 | EP24216472.1     | 20241129 | 經濟部<br>產業技術司 |
| 5  | 5  | P51130007CN   | 散熱結構、散熱模組及電子裝置      | 中國大陸       | 審查中 | 202510047848.8   | 20250113 | 經濟部<br>產業技術司 |
|    | 6  | P51130007EP   | 散熱結構、散熱模組及電子裝置      | EPC/<br>歐盟 | 審查中 | EP25150158.1     | 20250103 | 經濟部<br>產業技術司 |
|    | 7  | P51130007US   | 散熱結構、散熱模組及電子裝置      | 美國         | 審查中 | 19/012,771       | 20250107 | 經濟部<br>產業技術司 |
| 6  | 8  | P51130020CN   | 基於倒裝接合的天線封裝結構及其製造方法 | 中國大陸       | 審查中 | 202510238834.4   | 20250303 | 經濟部<br>產業技術司 |
|    | 9  | P51130020TW   | 基於覆晶接合的天線封裝結構及其製造方法 | 中華民國       | 審查中 | 114104780        | 20250210 | 經濟部<br>產業技術司 |
| 7  | 10 | P51130055TW   | 半導體元件               | 中華民國       | 審查中 | 113151431        | 20241230 | 經濟部<br>產業技術司 |
| 8  | 11 | P51130057TW   | 散熱系統及其控制方法          | 中華民國       | 審查中 | 113151555        | 20241230 | 經濟部<br>產業技術司 |

### (三) 動力電子技術 (1 案 1 件)

| 案次 | 件次 | 件編號         | 專利名稱                   | 國家 | 狀態  | 審查中：申請號    | 官方申請日    | 委辦單位         |
|----|----|-------------|------------------------|----|-----|------------|----------|--------------|
| 9  | 12 | P51120021US | 用於控制馬達的處理器、馬達控制裝置及控制方法 | 美國 | 審查中 | 18/776,263 | 20240718 | 經濟部<br>產業技術司 |

**(四) 感測器內運算 (1 案 3 件)**

| 案次 | 件次 | 件編號         | 專利名稱         | 國家   | 狀態  | 審查中：申請號        | 官方申請日    | 委辦單位         |
|----|----|-------------|--------------|------|-----|----------------|----------|--------------|
| 10 | 13 | P51120056CN | 運算電路以及數據運算方法 | 中國大陸 | 審查中 | 202411352258.8 | 20240926 | 經濟部<br>產業技術司 |
|    | 14 | P51120056TW | 運算電路以及資料運算方法 | 中華民國 | 審查中 | 113136647      | 20240926 | 經濟部<br>產業技術司 |
|    | 15 | P51120056US | 運算電路以及資料運算方法 | 美國   | 審查中 | 18/896,914     | 20240926 | 經濟部<br>產業技術司 |

**(五) 異質整合技術 (14 案 30 件)**

| 案次 | 件次 | 件編號           | 專利名稱                        | 國家         | 狀態  | 審查中：申請號        | 官方申請日    | 委辦單位         |
|----|----|---------------|-----------------------------|------------|-----|----------------|----------|--------------|
| 11 | 16 | P51100006EP   | 高頻元件測試裝置及其測試方法              | EPC/<br>歐盟 | 審查中 | EP25153018.4   | 20250121 | 經濟部<br>產業技術司 |
|    | 17 | P51100006JP   | 高頻元件測試裝置及其測試方法              | 日本         | 審查中 | 2024-225291    | 20241220 | 經濟部<br>產業技術司 |
|    | 18 | P51100006TWC1 | 高頻元件測試裝置及其測試方法              | 中華民國       | 審查中 | 114103792      | 20250203 | 經濟部<br>產業技術司 |
|    | 19 | P51100006USC1 | 高頻元件測試裝置及其測試方法              | 美國         | 審查中 | 18/921,460     | 20241021 | 經濟部<br>產業技術司 |
| 12 | 20 | P51120018US   | 半導體封裝件及其製造方法                | 美國         | 審查中 | 18/752,267     | 20240624 | 經濟部<br>產業技術司 |
| 13 | 21 | P51120046TWC1 | 全氧化物電晶體結構                   | 中華民國       | 審查中 | 113149444      | 20241218 | 經濟部<br>產業技術司 |
|    | 22 | P51120046USC1 | 全氧化物電晶體結構及其製作方法、包含前述結構之顯示面板 | 美國         | 審查中 | 18/970,364     | 20241205 | 經濟部<br>產業技術司 |
| 14 | 23 | P51120061US   | 電子裝置及其操作方法                  | 美國         | 審查中 | 18/966,093     | 20241202 | 經濟部<br>產業技術司 |
| 15 | 24 | P51120073US   | 隔離裝置                        | 美國         | 審查中 | 18/781,443     | 20240723 | 經濟部<br>產業技術司 |
| 16 | 25 | P51130002CN   | 半導體模組封裝結構                   | 中國大陸       | 審查中 | 202510027743.6 | 20250108 | 經濟部<br>產業技術司 |
|    | 26 | P51130002TW   | 半導體模組封裝結構                   | 中華民國       | 審查中 | 114100735      | 20250108 | 經濟部<br>產業技術司 |
|    | 27 | P51130002US   | 半導體模組封裝結構                   | 美國         | 審查中 | 19/035,702     | 20250123 | 經濟部<br>產業技術司 |



| 案次 | 件次 | 件編號         | 專利名稱                  | 國家   | 狀態  | 審查中：申請號        | 官方申請日    | 委辦單位         |
|----|----|-------------|-----------------------|------|-----|----------------|----------|--------------|
| 17 | 28 | P51130010CN | 保護電路及嵌入式多晶片系統         | 中國大陸 | 審查中 | 202510184018.X | 20250219 | 經濟部<br>產業技術司 |
|    | 29 | P51130010TW | 保護電路及嵌入式多晶片系統         | 中華民國 | 審查中 | 114101772      | 20250116 | 經濟部<br>產業技術司 |
| 18 | 30 | P51130011CN | 晶體管、反相器及其製造方法以及內存單元   | 中國大陸 | 審查中 | 202510028264.6 | 20250108 | 經濟部<br>產業技術司 |
|    | 31 | P51130011TW | 電晶體、反相器及其製造方法以及記憶體單元  | 中華民國 | 審查中 | 113138234      | 20241008 | 經濟部<br>產業技術司 |
|    | 32 | P51130011US | 電晶體、反相器及其製造方法以及記憶體單元  | 美國   | 審查中 | 18/961,449     | 20241127 | 經濟部<br>產業技術司 |
| 19 | 33 | P51130012TW | 半導體結構                 | 中華民國 | 審查中 | 113138937      | 20241014 | 經濟部<br>產業技術司 |
|    | 34 | P51130012US | 半導體結構                 | 美國   | 審查中 | 19/017,810     | 20250113 | 經濟部<br>產業技術司 |
| 20 | 35 | P51130014TW | 特徵阻抗控制結構              | 中華民國 | 審查中 | 113149816      | 20241220 | 經濟部<br>產業技術司 |
|    | 36 | P51130014US | 特徵阻抗控制結構              | 美國   | 審查中 | 18/989,160     | 20241220 | 經濟部<br>產業技術司 |
| 21 | 37 | P51130018CN | 堆疊基板結構及其製造方法          | 中國大陸 | 審查中 | 202510009576.2 | 20250103 | 經濟部<br>產業技術司 |
|    | 38 | P51130018TW | 堆疊基板結構及其製造方法          | 中華民國 | 審查中 | 113141438      | 20241030 | 經濟部<br>產業技術司 |
|    | 39 | P51130018US | 堆疊基板結構及其製造方法          | 美國   | 審查中 | 19/062,068     | 20250225 | 經濟部<br>產業技術司 |
| 22 | 40 | P51130034TW | 電路載板及其製造方法            | 中華民國 | 審查中 | 113146735      | 20241203 | 經濟部<br>產業技術司 |
|    | 41 | P51130034US | 電路載板及其製造方法            | 美國   | 審查中 | 18/966,190     | 20241203 | 經濟部<br>產業技術司 |
| 23 | 42 | P51130035TW | 具光子晶片的封裝結構及其製造方法      | 中華民國 | 審查中 | 113148694      | 20241213 | 經濟部<br>產業技術司 |
|    | 43 | P51130035US | 具光子晶片的封裝結構及其製造方法      | 美國   | 審查中 | 18/981,104     | 20241213 | 經濟部<br>產業技術司 |
| 24 | 44 | P51130038TW | 元件分群方法、電腦可讀取記錄媒體及電子裝置 | 中華民國 | 審查中 | 113149072      | 20241217 | 經濟部<br>產業技術司 |
|    | 45 | P51130038US | 元件分群方法、電腦可讀取記錄媒體及電子裝置 | 美國   | 審查中 | 18/984,887     | 20241217 | 經濟部<br>產業技術司 |

**(六) 系統晶片 (12 案 21 件)**

| 案次 | 件次 | 件編號         | 專利名稱                               | 國家   | 狀態  | 審查中：申請號        | 官方申請日    | 委辦單位         |
|----|----|-------------|------------------------------------|------|-----|----------------|----------|--------------|
| 25 | 46 | P51120063US | 用於稀疏注意力運算的演算法                      | 美國   | 審查中 | 18/951,676     | 20241119 | 經濟部<br>產業技術司 |
| 26 | 47 | P51130015CN | 波束成型天線校準方法與波束成型天線校準系統              | 中國大陸 | 審查中 | 202411331132.2 | 20240924 | 經濟部<br>產業技術司 |
| 27 | 48 | P51130027US | 基於注意力分數的注意力機制調整方法及使用所述方法的計算裝置      | 美國   | 審查中 | 18/961,430     | 20241126 | 經濟部<br>產業技術司 |
| 28 | 49 | P51130028CN | 訓練方法、訓練樣本的優化方法與電子裝置                | 中國大陸 | 審查中 | 202411497912.4 | 20241025 | 經濟部<br>產業技術司 |
|    | 50 | P51130028US | 訓練方法、訓練樣本的優化方法與電子裝置                | 美國   | 審查中 | 18/937,051     | 20241105 | 經濟部<br>產業技術司 |
| 29 | 51 | P51130031TW | 加速證券下單交易的裝置與方法                     | 中華民國 | 審查中 | 113145900      | 20241127 | 經濟部<br>產業技術司 |
| 30 | 52 | P51130032US | 用於模型與可重組硬體的裝置及方法                   | 美國   | 審查中 | 18/951,659     | 20241119 | 經濟部<br>產業技術司 |
| 31 | 53 | P51130037CN | 放大器電路                              | 中國大陸 | 審查中 | 202510182983.3 | 20250219 | 經濟部<br>產業技術司 |
|    | 54 | P51130037TW | 放大器電路                              | 中華民國 | 審查中 | 113150275      | 20241223 | 經濟部<br>產業技術司 |
| 32 | 55 | P51130040CN | 三維粗粒度可重構陣列架構系統及其控制方法               | 中國大陸 | 審查中 | 202411927709.6 | 20241225 | 經濟部<br>產業技術司 |
|    | 56 | P51130040TW | 三維粗粒度可重構陣列架構系統及三維粗粒度可重構陣列架構系統的控制方法 | 中華民國 | 審查中 | 113150647      | 20241225 | 經濟部<br>產業技術司 |
|    | 57 | P51130040US | 三維粗粒度可重構陣列架構系統及三維粗粒度可重構陣列架構系統的控制方法 | 美國   | 審查中 | 19/001,420     | 20241225 | 經濟部<br>產業技術司 |
| 33 | 58 | P51130041TW | 輔助諧振換相極裝置及其操作方法                    | 中華民國 | 審查中 | 113145487      | 20241126 | 經濟部<br>產業技術司 |
|    | 59 | P51130041US | 輔助諧振換相極裝置及其操作方法                    | 美國   | 審查中 | 19/023,207     | 20250115 | 經濟部<br>產業技術司 |



| 案次 | 件次 | 件編號         | 專利名稱                     | 國家   | 狀態  | 審查中：申請號        | 官方申請日    | 委辦單位         |
|----|----|-------------|--------------------------|------|-----|----------------|----------|--------------|
| 34 | 60 | P51130042TW | 測試裝置及其測試方法               | 中華民國 | 審查中 | 113151071      | 20241227 | 經濟部<br>產業技術司 |
|    | 61 | P51130042US | 測試裝置及其測試方法               | 美國   | 審查中 | 19/002,711     | 20241227 | 經濟部<br>產業技術司 |
| 35 | 62 | P51130044CN | 數據處理裝置及數據處理方法            | 中國大陸 | 審查中 | 202510152215.3 | 20250212 | 經濟部<br>產業技術司 |
|    | 63 | P51130044TW | 資料處理裝置及資料處理方法            | 中華民國 | 審查中 | 113146610      | 20241202 | 經濟部<br>產業技術司 |
|    | 64 | P51130044US | 資料處理裝置及資料處理方法            | 美國   | 審查中 | 19/001,358     | 20241224 | 經濟部<br>產業技術司 |
| 36 | 65 | P51130053TW | 一種適於動態修補與擴充原有指令集的可重組電路架構 | 中華民國 | 審查中 | 113151159      | 20241227 | 經濟部<br>產業技術司 |
|    | 66 | P51130053US | 一種適於動態修補與擴充原有指令集的可重組電路架構 | 美國   | 審查中 | 19/002,760     | 20241227 | 經濟部<br>產業技術司 |

(七) 記憶體技術 (1 案 2 件)

| 案次 | 件次 | 件編號         | 專利名稱        | 國家   | 狀態  | 審查中：申請號    | 官方申請日    | 委辦單位         |
|----|----|-------------|-------------|------|-----|------------|----------|--------------|
| 37 | 67 | P51130008TW | 磁性記憶體及其操作方法 | 中華民國 | 審查中 | 113138473  | 20241009 | 經濟部<br>產業技術司 |
|    | 68 | P51130008US | 磁性記憶體及其操作方法 | 美國   | 審查中 | 18/981,631 | 20241215 | 經濟部<br>產業技術司 |

(八) 超高頻電晶體 (1 案 3 件)

| 案次 | 件次 | 件編號           | 專利名稱        | 國家   | 狀態  | 審查中：申請號     | 官方申請日    | 委辦單位         |
|----|----|---------------|-------------|------|-----|-------------|----------|--------------|
| 38 | 69 | P51100036JP   | 半導體結構及其製造方法 | 日本   | 審查中 | 2024-203567 | 20241112 | 經濟部<br>產業技術司 |
|    | 70 | P51100036TWC1 | 半導體結構及其製造方法 | 中華民國 | 審查中 | 113143414   | 20241112 | 經濟部<br>產業技術司 |
|    | 71 | P51100036USC1 | 半導體結構及其製造方法 | 美國   | 審查中 | 18/940,769  | 20241107 | 經濟部<br>產業技術司 |



(九) 量子技術 (1 案 2 件)

| 案次 | 件次 | 件編號           | 專利名稱             | 國家   | 狀態  | 審查中：申請號   | 官方申請日    | 委辦單位         |
|----|----|---------------|------------------|------|-----|-----------|----------|--------------|
| 39 | 72 | P51130009TW   | 用於量子控制與讀取的訊號傳輸系統 | 中華民國 | 審查中 | 113150429 | 20241224 | 經濟部<br>產業技術司 |
|    | 73 | P51130009TWA1 | 用於量子控制與讀取的訊號傳輸裝置 | 中華民國 | 審查中 | 113150404 | 20241224 | 經濟部<br>產業技術司 |

【備註】本案件公告所包含之專利範圍除專利清單明載外，包含上開專利之 EPC 申請案指定國別後所包含之各國專利。