

111 年度工研院

半導體構裝與晶片設計技術等相關研發成果非專屬授權案

- 一、主辦單位：財團法人工業技術研究院（以下簡稱「工研院」）。
- 二、非專屬授權標的：半導體構裝與晶片設計技術等相關研發成果非專屬授權相關技術 10 件：(一) 半導體構裝技術 4 件、(二) Chiplet-based 晶片設計技術 5 件、(三) 邊緣雲伺服器系統晶片設計技術 1 件，詳如附件。
- 三、非專屬授權廠商資格：國內依中華民國法令組織登記成立且從事研發、設計、製造或銷售之公司法人。
- 四、公開說明會：
- (一) 舉辦時間：民國（下同）111 年 7 月 15 日下午 3 時至 4 時。
- (二) 舉辦地點：採線上方式辦理。
- (三) 報名須知：採電子郵件方式報名。有意報名者，請於 111 年 7 月 13 日中午 12 時整（含）前以電子郵件向本案聯絡人報名（主旨請註明「111 年度工研院半導體構裝與晶片設計技術等相關研發成果非專屬授權案：公開說明會報名」，並於內文中陳明：公司名稱、公司電話、參與人數、姓名、職稱）。工研院「技轉法律中心」聯絡人將於 111 年 7 月 14 日下午 5 時整（含）前發送電子郵件回覆並告知公開說明會會議資訊。
- 五、聯絡人：工研院技術移轉與法律中心 李小姐
- 電話：+886-3-591-2374
- 傳真：+886-3-582-0466
- 電子信箱：lee0371@itri.org.tw
- 地址：310401 新竹縣竹東鎮中興路四段 195 號 51 館 110 室

附件：

技術授權標的（10 件）

技術類別	項次	產出年度	技術名稱	技術特色	可應用範圍	委辦單位	計畫名稱
半導體構裝	1	85	導線架型式之晶片尺寸構裝 Lead frame type chip package	以金屬(導線架)為基板,並將晶片黏於導線架上進而進行鐳線,封膠及成型所完成的半導體封裝體	消費性電子例如：手機….	經濟部技術處	微電子系統技術發展四年計畫

技術類別	項次	產出年度	技術名稱	技術特色	可應用範圍	委辦單位	計畫名稱
	2	86	CSP 覆晶關鍵技術 CSP flip chip packaging technology	CSP 技術被提出用於更高密度的 IC 封，一種新的低成本引線框架型 CSP 已被開發並證明其適合大規模生產。	消費性電子例如：手機….	經濟部技術處	微電子系統技術發展四年計畫
	3	87	基板式晶方尺度構裝製程及可靠性測試驗證 Substrate-based chip scale package and reliability verification	晶方尺度構裝 Chip Scale Package(CSP)能提供電子構裝產品大小接近晶片大小，採用最小 footprint 之 flip chip 方式取代傳統 wire bonding 之連接方式製作 CSP，可將 package size 縮小，獲得 flip chip 在設計 (area array、high I/O)及電性上(low inductance)之優勢。	消費性電子例如：手機….	經濟部技術處	微電子系統技術發展四年計畫
	4	111	BLE 整合天線之扇出型多晶片佈局與封裝設計	因應智能電網和智能城市等先進物聯網通信需求，建立 BLE 整合天線之扇出型多晶片封裝設計技術，協助使用者快速驗證異質晶片整合產品的可行性，並透過先進封裝技術降低產品尺寸、及提升訊號品質，提升產品競爭力；載具獨特架構允許 2.4G 和 Sub-GHz 射頻同時運行並操作不同的通訊協議，使用藍牙手機同時控制和管理基於 Sub-GHz 網絡的 IOT 設備，未來可拓展多元安全網路等應用新興場域。”	應用領域包括智慧製造、物聯網、智慧家庭等	經濟部技術處	AI 晶片異質整合模組前瞻製造平台計畫
	5	83	0.5um DRAM/SRAM TECHNOLOGY	0.5 微米動/靜態記憶體製程流程、設計準則、SPEC 參數及元件特性	半導體製造	經濟部技術處	次微米記憶體製程技術發展計畫
Chiplet-based 晶片設計	6	90	CMOS Process Flow and Cross Section	因 0.8um 製程具挑戰性，因此適合作為研發的製程。初期完成製程參數穩定與數位電路，最後發展出穩定的 CMOS 製程以協助 power IC 的開發。未來可依此為基礎	半導體製造	經濟部技術處	微電子系統關鍵技術發展三年計畫

技術類別	項次	產出年度	技術名稱	技術特色	可應用範圍	委辦單位	計畫名稱
				再行開發更高壓之 CMOS 製程，並整合 LDMOS/LIGBT 製程使單位有完整之 power CMOS 製程。			
	7	82	30V BiCMOS PROCESS FLOW	30V 高壓 BiCMOS 完整製程之製程流程，內容包括詳細之 process flow, cross section 及 doping profile。	半導體製造	經濟部技術處	微電子零組件技術發展計畫
	8	111	IC Design Center 建製	以設計 IoT 及周邊應用晶片為目標，進行硬體、EDA 工具、人員訓練、與後續營運規劃，並且安排協助 Teltonika 為所需晶片定義 System Architecture and specification	半導體製造	經濟部技術處	化合物半導體元件關鍵計畫
	9	111	Package & Testing Factory 建製	以 COB-MCM 與傳統 IC 封裝為目標，進行製程、設備、Clean Room、廠務設施、建築的初步規劃，協助探詢製程技術授權來源，並且規劃人員訓練與後續營運協助方法	半導體製造	經濟部技術處	AI 晶片異質整合模組前瞻製造平台計畫
邊緣雲伺服器系統晶片設計技術	10	111	邊緣雲硬體加速模組電路	基於業界既有之 RISC-V 處理器，藉由可延展式架構設計方式實現異質叢集運算架構，並進行相關系統晶片設計與驗證，適用於高性能運算需求之應用	Edge Cloud Serve	經濟部技術處	邊緣雲產業創新技術發展計畫